

铁电存储单元单粒子翻转机理仿真研究

辜 科, 李 平, 李 威, 范 雪

(电子科技大学 微电子与固体电子学院, 电子薄膜与集成器件国家重点实验室, 四川 成都 610054)

摘 要: 采用电路仿真的方法对铁电存储单元中不同电路节点的单粒子效应敏感性进行了研究, 分析了铁电存储单元发生单粒子翻转的机理. 仿真结果表明, 铁电存储单元的单粒子翻转效应与铁电电容的极化状态有关. 当单粒子入射阵列中截止态 NMOS 管时, 只会造成存“0”铁电电容的极化翻转; 板线上的单粒子瞬态脉冲对存储数据无影响. 根据 2T2C 和 1T1C 型铁电存储单元的读出方式, 分别分析了可能发生的数据翻转类型. 提出了铁电存储单元抗单粒子翻转的加固措施.

关键词: 铁电存储单元; 铁电存储器; 单粒子翻转; 电路仿真

中图分类号: TN43

文献标识码: A

文章编号: 1000-7180(2015)04-0146-04

Simulation Study of Single Event Upset in Ferroelectric Memory Cell

GU Ke, LI Ping, LI Wei, FAN Xue

(School of Microelectronics and Solid-state Electronics, State Key Laboratory of Electronic Thin Films and Integrated Devices, University of Electronic Science and Technology of China, Chengdu 610054, China)

Abstract: The single event effect sensitivity of different circuit nodes in the ferroelectric memory cell is studied by circuit simulation, and the single event upset mechanism of the ferroelectric memory cell is analyzed. The simulation results show that the upset of the ferroelectric memory cell depends on the polarization state of the ferroelectric capacitor. When a high energy particle strikes the off-state NMOS in the memory array, the polarization reversal only happens to the corresponding ferroelectric capacitor which stored data “0”. Based on the readout methods of the 2T2C and 1T1C ferroelectric memory cell, the upset types of the output data are analyzed. Some methods to harden the FRAM cell against SEU are also proposed.

Key words: ferroelectric memory cell; FRAM; single event upset; circuit simulation

1 引言

铁电存储器 (Ferroelectric Random Access Memories, FRAM) 是集成了铁电薄膜工艺与 CMOS 工艺的一种非易失性存储器, 它具有访问速度快、读写次数多、功耗低、掉电数据不丢失等优点^[1]. 此外, 研究表明铁电材料具有很高的抗辐射能力^[2]. 但由于 Si 基 CMOS 电路的影响, 未经加固的铁电存储器的整体抗辐射能力远远低于铁电薄膜的抗辐射能力^[3,4]. 因此, 深入研究铁电存储器内部电路的辐射效应对其在空间环境的应用和进行有针对性的加固设计具有重要的指导意义. 对于辐射环境中的半导体存储器来说, 由高能粒子入射引起的单粒

子翻转是最需要关注的辐射效应之一.

由于大规模集成电路结构复杂、电路节点繁多, 开展辐射实验难以对其内部电路的每个状态进行监控. 通过计算机仿真, 可以深入细致地研究集成电路内不同部位在不同工作状态下对辐射的敏感性, 还可以避免辐射实验所需的昂贵代价. 本文采用电路级仿真方法, 研究铁电存储单元内不同电路节点对单粒子的敏感性, 并分析铁电存储单元发生单粒子翻转的机理.

2 仿真原理及方法

单粒子效应是指当单个高能粒子穿过半导体器

件时,会在其入射轨迹上产生高密度电荷,这些电荷被电极收集,在电路中形成瞬态脉冲,造成电路状态的改变或器件损坏^[5]. 电路级别的单粒子效应仿真目前主要采用的方法是:先使用 SPICE 类语言对电路进行描述,再在关键电路节点加入一个瞬态电流脉冲来模拟高能粒子入射后由电荷收集效应所产生的电流^[6]. 加入的电流脉冲形式通常有矩形脉冲^[7]、双指数脉冲、瞬态注入脉冲^[8]等. 本文采用矩形脉冲来模拟单粒子效应引起的瞬态电流脉冲,这种电流模型的模拟过程简单,适合用来比较电路中不同节点对单粒子效应的敏感程度. 本文加入的电流脉冲持续时间为 0.2 ns,保持电流脉冲持续时间不变,通过改变脉冲高度来模拟不同能量粒子入射产生的影响. 最后通过调用合适的器件模型,使用电路仿真工具对电路网表进行仿真,便能得到电路对单粒子效应的响应. 本文采用的仿真工具为 HSPICE,CMOS 工艺的器件模型使用台积电 0.18 μm 的工艺库,铁电电容模型采用 HSPICE 自带的铁电电容模型,铁电电容大小为 2 pF.

3 电路结构与仿真节点

本文基于 2T2C 型铁电存储单元进行研究,每个 2T2C 单元包含 2 个铁电电容和 2 个 NMOS 传输管,如图 1(a)所示. 2T2C 型单元可以看作特殊的 1T1C 型单元(如图 1(b)所示). 这是由于对铁电电容进行读操作时,位线(BL)上的电压不是标准的 V_{DD} 或 GND,而是一个介于 V_{DD} 和 GND 之间的电压,因此需要敏感放大器将位线信号与一个参考信号进行比较放大. 对于 1T1C 单元,需要额外提供一个参考信号(Reference),而每个 2T2C 单元自身就包含了产生参考信号的互补位线(BLN),所以每个 2T2C 单元都包含了存“0”和存“1”两种状态的铁电电容. 我们将对这两种状态的电容分别进行研究,研究结果对 1T1C 单元也同样具有指导意义.

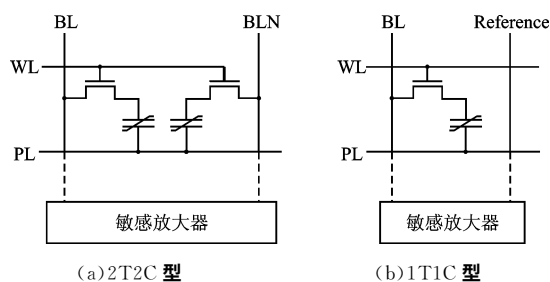


图1 铁电存储单元类型

铁电存储单元中 NMOS 的栅极由字线(WL)控制,只有当某一存储单元被地址译码选中时,字线

才会有效. 由于存储单元在被访问时,各控制信号的强度和有效时间远大于单粒子瞬态脉冲的持续时间,可以认为在这种情况下单粒子效应对存储单元的影响很小. 因此,我们主要分析当存储单元不被访问时,不同电路结点对单粒子的敏感性.

当存储单元不被选中时,字线电压为 0V, NMOS 管截止,将铁电电容与位线信号隔开. 当单粒子入射阵列中的截止态 NMOS 管时,在 Si 衬底中通过碰撞电离产生电子空穴对. 若此时位线上存在电压信号,则 NMOS 源漏极之间有电场存在,这些电离产生的空穴和电子将分别被源、漏极搜集. 此时,在铁电电容上极板将有瞬态电流脉冲产生. 我们分别研究了该瞬态脉冲对存“0”铁电电容和存“1”铁电电容的影响,如图 2(a)、(b)所示. 此外,当存储单元不被选中时,板线(PL)电压也为 0V. 若单粒子入射板线驱动电路,则可能在板线上引起瞬态电流脉冲,如图 2(c)所示. 由于板线与铁电电容的下极板相连,因此我们对这种情况也进行了电路仿真.

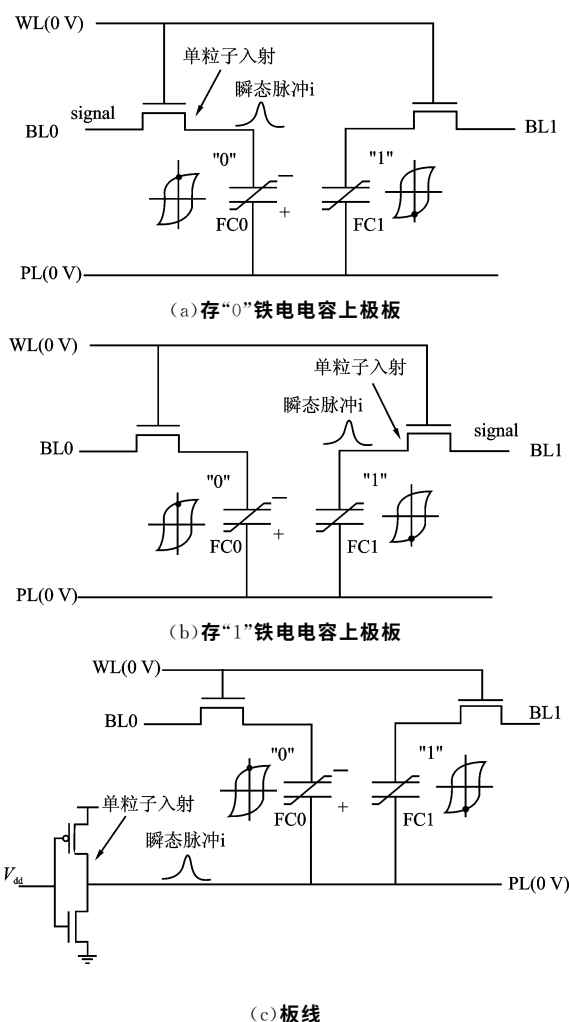


图2 单粒子效应仿真电路节点

在以上电路节点加入单粒子瞬态脉冲之后,再对存储单元进行正常的读操作.通过监测位线读出电压的变化来评估存储单元受到的影响和该电路结点对单粒子瞬态脉冲的敏感性.

读操作时,根据敏感放大器开始工作时刻的不同,铁电存储器的读出方式可分为台阶式敏感和脉冲式敏感,见图 3.若敏感放大器在板线信号为高电平期间开启,是台阶式敏感,此时铁电电容处于饱和极化状态;若敏感放大器在板线信号之后开启,是脉冲式敏感,此时铁电电容处于剩余极化状态^[9].本文对这两种读出方式下的位线电压变化都进行了研究.

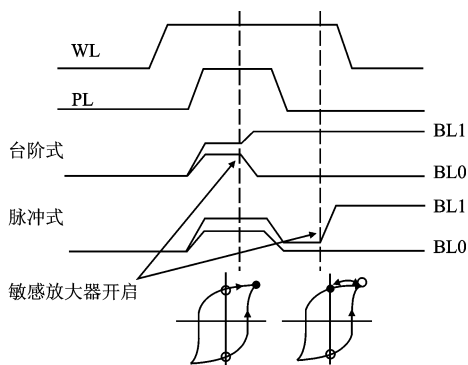


图3 铁电存储器读出方式

4 仿真结果

4.1 存“0”铁电电容上极板

在存“0”铁电电容的上极板加入瞬态电流脉冲后(见图 2(a)),对存储单元进行读操作,位线读出电压与脉冲大小的关系图(见图 4).其中 BL0 是存“0”电容对应的位线,BL1 是存“1”电容对应的位线.存储单元正常工作时,BL0 上的电压应小于 BL1 上的电压.

从仿真结果可以看出,无论是台阶式敏感还是脉冲式敏感,BL0 上的电压都随着电流脉冲的增大而增加,这使得两条互补位线上的电压差逐渐减小.当电流脉冲高度达到 4 mA 时,BL0 上的电压大于 BL1 上的电压.此时,敏感放大器会将 BL0 上的信号放大至 V_{DD} ,将 BL1 上的信号拉低到 0 V,导致读出数据错误.台阶式敏感和脉冲式敏感发生位线信号翻转时对应的电流脉冲大小相同,但脉冲式敏感的位线电压变化幅度更大.这说明铁电电容剩余极化状态的改变大于饱和和极化状态的改变.

4.2 存“1”铁电电容上极板

在存“1”铁电电容的上极板加入瞬态电流脉冲

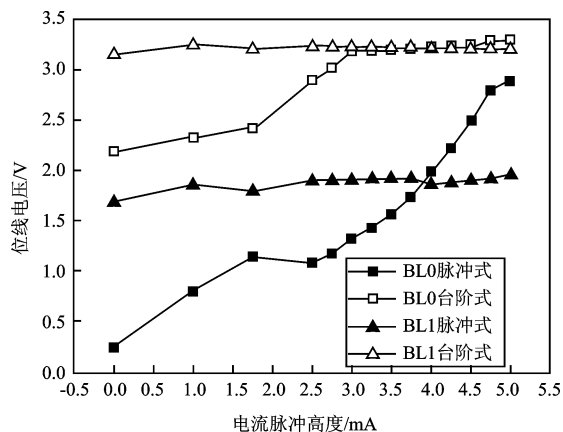


图4 在存“0”铁电电容的上极板加入瞬态电流脉冲时, 2T2C 单元互补位线的读出电压与脉冲大小的关系

后(见图 2(b)),对存储单元进行读操作,位线读出电压与脉冲大小的关系见图 5.从仿真结果可以看出,无论是台阶式敏感还是脉冲式敏感,BL1 上的电压随着瞬态电流脉冲峰值的增大而增加.这使得两条互补位线上的电压差逐渐增大,敏感放大器更容易正确区分两条位线上的信号,因此不会出现读出数据错误.

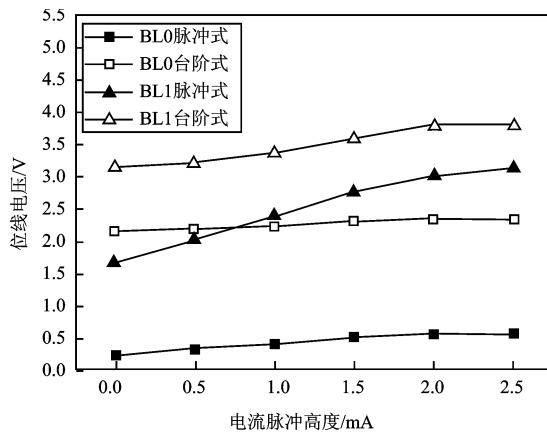


图5 在存“1”铁电电容上极板加入瞬态电流脉冲时, 2T2C 单元互补位线的读出电压与脉冲大小的关系

4.3 板线

在板线上加入瞬态电流脉冲后(如图 2(c)所示),对存储单元进行读操作,位线读出电压与脉冲大小的关系如图 6 所示.可以看出,两条位线的读出电压均不随瞬态电流脉冲的变化而改变.因此,板线上的单粒子瞬态脉冲对铁电存储单元内保存的数据无影响.

5 讨论

当在铁电电容上极板加入瞬态电流脉冲时,电

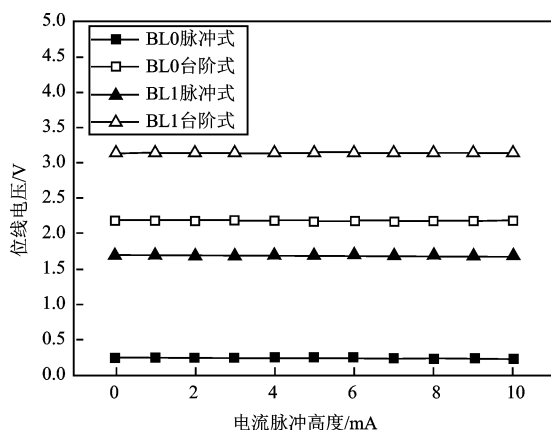


图6 板线上加入瞬态电流脉冲后,
2T2C单元互补位线的读出电压与脉冲大小的关系

流对铁电电容充电,使上极板出现电压脉冲。由于板线电压固定为0V,导致铁电电容上下极板之间出现电势差,铁电薄膜处于一个外加电场之中,电场方向从上极板指向下极板。这一电场方向与对铁电电容写“1”时的外加电场方向相同,与写“0”时的外加电场方向相反。这使得存“1”铁电电容的极化状态被进一步加强;而存“0”铁电电容的极化状态将被削弱甚至反转。相应的,读“1”和读“0”的位线电压(V_{BL0} 和 V_{BL1})都将增大。若 V_{BL1} 增大,敏感放大器区分“0”、“1”信号变得更加容易,输出数据不会出错;若 V_{BL0} 增大,敏感放大器区分“0”、“1”信号变得更加困难,当 V_{BL0} 高于 V_{BL1} 时,敏感放大器将会对信号进行误放大,导致输出数据出现翻转。

对于2T2C单元来说,如果存“0”电容是主电容,存“1”电容是参考电容,则会出现输出数据“0”→“1”的翻转;如果存“0”电容是参考电容,存“1”电容是主电容,则会出现输出数据“1”→“0”的翻转。

对于1T1C单元来说,参考电压是一个介于 V_{BL0} 和 V_{BL1} 之间的电压。单粒子入射铁电存储阵列中的截止态NMOS时,只会造成存储数据“0”→“1”的翻转,不会造成“1”→“0”的翻转。

当在板线上加入瞬态电流脉冲时,电流对铁电电容充电,使下极板的电压升高。由于此时NMOS管截止,铁电电容上极板处于浮空状态。根据电容两端电压不能突变的原理,铁电电容上极板的电压也会随下极板电压的上升而升高,上下极板之间并不会形成电场,铁电电容的极化状态不会被改变。因此,当单粒子入射板线驱动电路引起板线上的瞬态电流脉冲时,不会对铁电存储单元中的数据造成影响。

6 结束语

存“1”铁电电容上极板和存储单元板线上的单粒子瞬态脉冲不会造成数据翻转;但存“0”铁电电容的上极板对单粒子脉冲敏感,如果单粒子轰击与存“0”电容相连的截止态NMOS管,则可能引起铁电存储单元的单粒子翻转。瞬态电流脉冲越大,越容易发生读出数据翻转。对于2T2C型铁电存储阵列,“0”→“1”和“1”→“0”两种数据翻转都可能发生,这取决于存“0”电容是主电容还是参考电容;而1T1C型铁电存储阵列只可能出现“0”→“1”的数据翻转。在版图设计时,若增大阵列中NMOS传输管与铁电电容相连的一端的面积,可以使单粒子瞬态脉冲减小,降低铁电电容极化反转的几率。对于同等大小的电流脉冲,增加铁电电容的面积,可以减小电容两端的电场强度,削弱单粒子瞬态脉冲对极化状态的影响,提高铁电存储单元的抗单粒子翻转能力。

参考文献:

- [1] 许华平,郑立荣,陈逸清,等.集成铁电存储器——新型快速、抗辐照、非挥发性存储器件[J].微电子学与计算机,1996,14(1):5-10.
- [2] Coic Y M, Musseau O, Leray J L. A study of radiation vulnerability of ferroelectric material and devices [J]. IEEE Trans Nucl Sci, 1994, 41(3): 495-499.
- [3] Nguyen D N, Scheick L Z. TID testing of ferroelectric nonvolatile RAM[C]// Proc IEEE Radiation Effects Data Workshop. VanCouver, BC: IEEE, 2001: 57-61.
- [4] Nuns T, Duzellier S, Bertrand J, et al. Evaluation of recent technologies of non-volatile RAM[J]. IEEE Transactions on Nuclear Science, 2008, 55(4): 1982-1991.
- [5] 刘文平. 硅半导体器件辐射效应及加固技术[D]. 北京: 科学出版社, 2013.
- [6] 刘征. 单粒子效应电路模拟方法研究[D]. 长沙: 国防科学技术大学, 2006.
- [7] Rockett L. An SEU Hardened CMOS Data Latch Design [J]. IEEE Trans Nucl Sci, 1988, 35(6): 1682-1687.
- [8] 王佩. 单粒子效应电路模拟方法研究[D]. 成都: 电子科技大学, 2010.
- [9] Shekholeslami A, Gulak P G. A survey of circuit innovations in ferroelectric random-access memories[J]. Proc IEEE, 2000, 88(5): 677-689.

作者简介:

辜科女, (1985-), 博士研究生. 研究方向为半导体存储器设计及其辐射效应研究. E-mail: guke17@163.com